

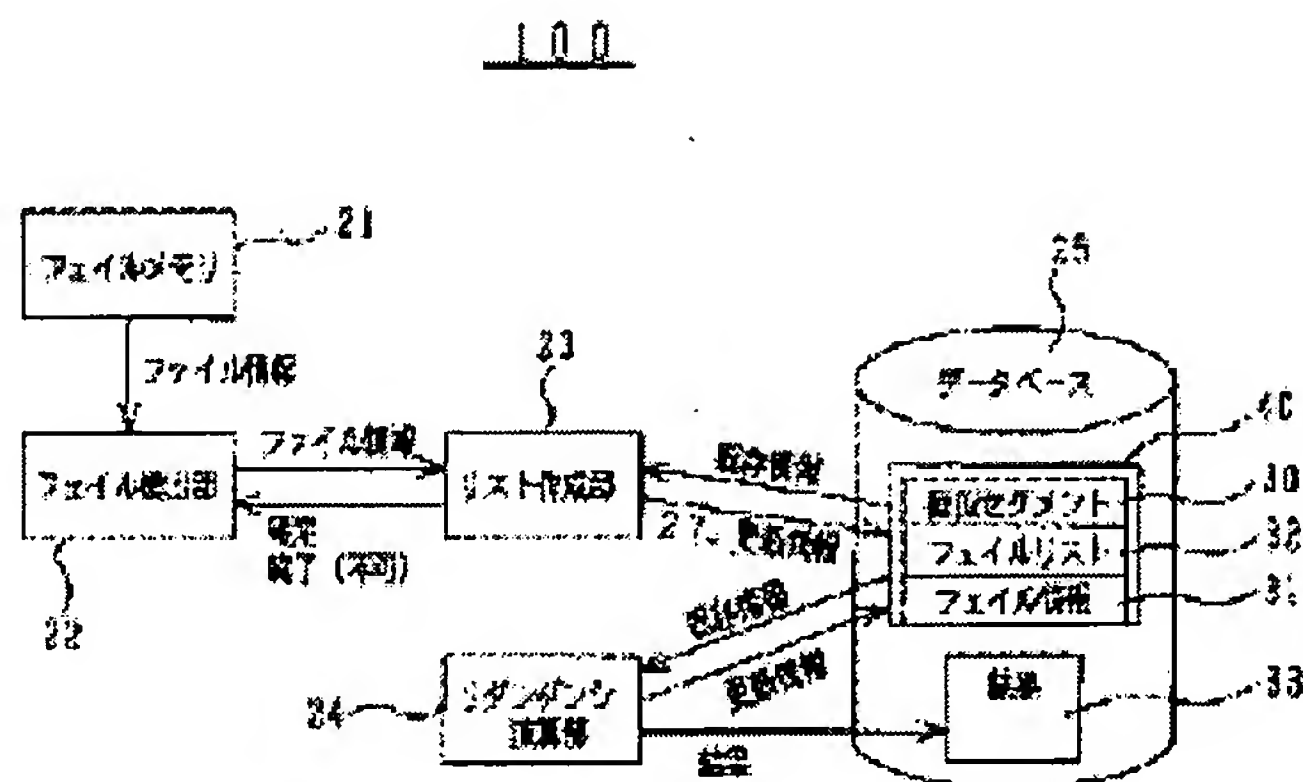
REPAIR OPERATION METHOD FOR SEMICONDUCTOR MEMORY, AND ITS REPAIR OPERATION PROCESSOR

Patent number: JP2001176295
Publication date: 2001-06-29
Inventor: NAKAMURA YOSHIHIRO
Applicant: NEC CORP
Classification:
 - international: G11C29/00; G06F12/16
 - european:
Application number: JP19990352058 19991210
Priority number(s):

Abstract of JP2001176295

PROBLEM TO BE SOLVED: To provide a repair operation method for a semiconductor memory and its repair operation processor in which size of a data storage area can be reduced, and operation speed of an operation processor is increased.

SOLUTION: A repair operation processor 100 for a semiconductor memory is constituted of a fail reading means 22 detecting existence of a fail element about individual memory among memories 21 to be tested, a list making means 23 selecting and extracting a fail element being a fail state from fail information outputted from the fail reading means 22, and making a pseudo segment table 30, a fail information table 31, a X, Y list table 32, and the like, in accordance with an address of a memory to be tested of individual fail element, the pseudo segment table 30 formed by the list making means 23, a storing means 40 storing the fail information table 31, the X, Y list table 32, and the like, and repair processing means 24 performing repair processing confirming to each information stored in the storage means 40.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-176295
(P2001-176295A)

(43) 公開日 平成13年6月29日 (2001.6.29)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト*(参考)
G 1 1 C 29/00	6 5 5	G 1 1 C 29/00	6 5 5 S 5 B 0 1 8
G 0 6 F 12/16	3 1 0	G 0 6 F 12/16	3 1 0 P 5 L 1 0 6

審査請求 有 請求項の数13 O L (全 13 頁)

(21) 出願番号 特願平11-352058

(22) 出願日 平成11年12月10日 (1999.12.10)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中村 吉宏

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070530

弁理士 畑 泰之

Fターム(参考) 5B018 GA06 KA13 KA17 NA10 PA01
5L106 CC17 DD25

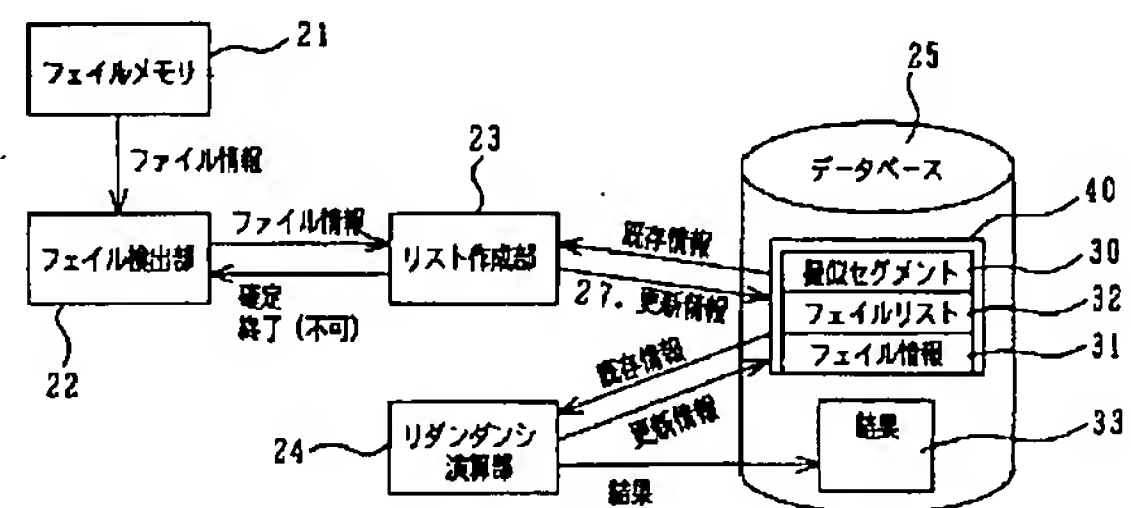
(54) 【発明の名称】 半導体メモリのリペア演算方法及びそのリペア演算処理装置

(57) 【要約】

【課題】 データ記憶領域サイズの縮小を可能とし且つ演算処理も高速化される半導体メモリのリペア演算方法及びそのリペア演算処理装置を提供する。

【解決手段】 被検査メモリ21から個々のメモリについてフェイル素子の有無を検出するフェイル読み取り手段22、フェイル読み取り手段22から出力されるフェイル情報から、フェイル状態にあるフェイル素子を選択抽出して、個々のフェイル素子の被検査メモリでのアドレスに応じて、擬似セグメントテーブル30、フェイル情報テーブル31、X、Yリストテーブル32等を作成するリスト作成手段23、リスト作成手段23により形成された擬似セグメントテーブル30、フェイル情報テーブル31、X、Yリストテーブル32等を記憶する記憶手段40及び、記憶手段40に記憶された各情報に従って、リペア処理を実行するリペア処理手段24とから構成されている半導体メモリのリペア演算処理装置100。

100



【特許請求の範囲】

【請求項1】 半導体メモリの製造工程に於けるリペア処理工程でのリペア演算方法であって、検出された当該メモリのフェイル情報から、フェイル状態にある全てのフェイル素子を選択抽出し、当該選択抽出されたフェイル状態にある全フェイル素子の被検査メモリでのアドレスから、相互に関連性の高い当該フェイル素子を複数個集合せしめた擬似セグメントグループを複数個形成すると共に、擬似セグメントテーブルを作成し、同時に、当該全フェイル素子の個々のアドレス上に於ける関連性を確保する為に、フェイル情報テーブル及びX、Yリストテーブルとを作成し、当該擬似セグメントテーブル群の個々の擬似セグメントグループとX、Y方向に予め設けられているスペアラインの数とを個別に比較して、リペアが可能か否かを判断する事を特徴とする半導体メモリのリペア演算方法。

【請求項2】 当該擬似セグメントリストには、XリストNo、YリストNo、Xリスト数及びYリスト数が含まれている事を特徴とする請求項1記載の半導体メモリのリペア演算方法。

【請求項3】 当該フェイル情報テーブルには、個々のフェイル素子の被検査メモリでのアドレス、擬似セグメントNo、及び次リストNoが含まれている事を特徴とする請求項1記載の半導体メモリのリペア演算方法。

【請求項4】 当該X、Yリストテーブルのそれぞれには、それぞれのX方向又はY方向のアドレス、先頭フェイルNo、フェイル数及び次Xリストテーブル又は、次YリストテーブルのNoが含まれている事を特徴とする請求項1記載の半導体メモリのリペア演算方法。

【請求項5】 当該擬似セグメントグループは、フェイル状態にある全フェイル素子の被検査メモリでのアドレスの中から、アドレス上に於て、同一のX方向ライン或いは同一のY方向のラインに、同時に発生している複数個のフェイル素子を優先的にグループ化する事を特徴とする請求項1乃至4の何れかに記載の半導体メモリのリペア演算方法。

【請求項6】 当該擬似セグメントテーブル群の個々の擬似セグメントグループとX、Y方向に予め設けられているスペアラインの数とを個別に比較するに際しては、当該個々の擬似セグメントグループのサイズの大きいものから順に選択して、当該スペアライン数との比較処理を実行する事を特徴とする請求項1乃至5の何れかに記載の半導体メモリのリペア演算方法。

【請求項7】 当該擬似セグメントテーブル、当該フェイル情報テーブル、当該X、Yリストテーブルは、当該比較処理が実行されて所定のフェイル素子群のリペア処理が確定した後は、残存しているフェイル素子に関する最新情報が表示される様にそれぞれに対して更新処理が実行されるものである事を特徴とする請求項1乃至6の何れかに記載の半導体メモリのリペア演算方法。

【請求項8】 半導体メモリの製造工程に於けるリペア処理装置であって、被検査メモリから個々のメモリについてフェイルの有無を検出するフェイル読み取り手段、当該フェイル読み取り手段から出力されるフェイル情報から、フェイルが発生しているフェイル素子のみを選択抽出して、当該個々のフェイル状態にある全フェイル素子の被検査メモリでのアドレスに応じて、擬似セグメントテーブル、フェイル情報テーブル、X、Yリストテーブル等を作成するリスト作成手段、当該リスト作成手段により形成された当該擬似セグメントテーブル、フェイル情報テーブル、X、Yリストテーブル等を記憶する記憶手段及び、当該記憶手段に記憶された当該各情報に従って、リペア処理を実行するリペア処理手段とから構成されている事を特徴とする半導体メモリのリペア演算処理装置。

【請求項9】 当該擬似セグメントリストには、XリストNo、YリストNo、Xリスト数及びYリスト数が含まれている事を特徴とする請求項8記載の半導体メモリのリペア演算処理装置。

【請求項10】 当該フェイル情報テーブルには、個々のフェイル素子のアドレス、擬似セグメントNo、及び次リストNoが含まれている事を特徴とする請求項8記載の半導体メモリのリペア演算処理装置。

【請求項11】 当該X、Yリストテーブルのそれぞれには、それぞれのX方向又はY方向のアドレス、先頭フェイルNo、フェイル素子数及び次Xリストテーブル又は、次YリストテーブルのNoが含まれている事を特徴とする請求項8記載の半導体メモリのリペア演算処理装置。

【請求項12】 当該擬似セグメントテーブル群の個々の擬似セグメントグループとX、Y方向に予め設けられているスペアラインの数とを個別に比較するに際しては、当該個々の擬似セグメントグループのサイズの大きいものから順に選択して、当該スペアライン数との比較処理を実行する様に制御される特徴とする請求項8乃至11の何れかに記載の半導体メモリのリペア演算処理装置。

【請求項13】 当該擬似セグメントテーブル、当該フェイル情報テーブル、当該X、Yリストテーブルは、当該比較処理が実行されて所定のフェイル素子群のリペア処理が確定した後は、残存しているフェイル素子に関する最新情報が表示される様にそれぞれに対して更新処理を実行する更新手段が設けられている事を特徴とする請求項8乃至12の何れかに記載の半導体メモリのリペア演算処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリを製造する工程に於ける、リペア演算方法及びそのリペア演算処理装置に関するものであり、特に詳しくは、少ない

フェイル情報を利用して高速に当該リペア処理を実行出来る半導体メモリのリペア演算方法及びそのリペア演算処理装置に関するものである。

【0002】

【従来の技術】従来より、半導体メモリのリペア処理或いはリダンダンシー演算処理は、知られており、その効率的な処理方法の改良に種々の技術が公開されて来ている。

【0003】例えば、半導体メモリの容量を大きくするため、セグメントサイズは拡大、セグメント数は増加し、リペアを行うためのスペアライン数も増加している。そのため、図15に示す様なアルゴリズムを使用した、テストおよびリペア装置に関し、特開平10-289163号公報に開示されている様な、フェイル情報の記憶領域を少なくする方式や、特開平11-213695号公報に示されている様な、リダンダンシー演算を高速に行う方式等が提案されている。

【0004】

【発明が解決しようとする課題】しかし、従来技術では、次の点が問題となっていた。

【0005】第1の問題点は、救済率の低下である。その理由は、複数のセグメントに跨るスペアラインにより、組み合わせが複雑になったためである。

【0006】つまり、あるセグメント内の最適な演算結果が、別のセグメントの最適な演算結果とならず、リペアが不可と判断してしまう場合が生じるためである。

【0007】図15に例示する様な、従来のラインフェイルを先に確定する方法では、リペア可となる例を、図13に示し又、リペア不可となる例を、図14に示す。

【0008】上記の例では、既に、上下セグメントに共通に使用可能なXスペアラインを先に確定しているため、下側のセグメントに未確定のフェイル素子が残ってしまう。

【0009】第2の問題点は、処理時間の遅れである。その理由は、セグメントサイズやスペアラインの増加により、フェイル素子のカウントやサーチなどに時間がかかるようになったためである。

【0010】従来の方法では、図4に示す様なフェイル情報を直接2次元配列で表現しているため、セグメントサイズやスペアラインに合わせて処理時間が増加する。

【0011】第3の問題点は、記憶領域の増加である。その理由は、図16に示す様な従来の手段では、2次元でフェイル情報を記憶していたため、リペアできるフェイルの数の増加に対して、その記憶領域を増加させる必要があり、併せてフェイル素子でない部分の割合がふえたためである。

【0012】その他、特開平10-107069号公報には、カウンタを使用してスペア処理の順序を決定する方法が示されているが、係る方法は、当該フェイル情報を作成する手段が、従来と変わりがないので、メモリ数

の減少やリペア処理速度の向上に影響を与えるものではなく、又、特開平11-16390号公報は、フェイル情報をツリー構造のテンプレートを使用して処理する方法が記載されているが、係る方法では、当該リペア処理が複雑となり、処理速度の向上、記憶領域の削減には、効果が無い。

【0013】本発明の目的は、上記した従来技術の欠点を改良し、セグメント内のフェイルパターンを、擬似セグメントに区分してそのサイズを考慮して演算処理を行うと共に、リスト型データ構成を適用し、存在するフェイル情報の記憶領域のみを確保する様にする事によってデータ記憶領域サイズの縮小を可能とし且つ演算処理も高速化される半導体メモリのリペア演算方法及び半導体メモリのリペア演算処理装置を提供するものである。

【0014】

【課題を解決するための手段】本発明は上記した目的を達成するため、以下に記載されたような技術構成を採用するものである。

【0015】即ち、本発明に係る第1の態様としては、半導体メモリの製造工程に於けるリペア処理工程でのリペア演算方法であって、検出された当該メモリのフェイル情報から、フェイル状態にある全てのフェイル素子を選択抽出し、当該選択抽出された全フェイル素子の被検査メモリでのアドレスから、相互に関連性の高い当該フェイル素子を複数個集合せしめた擬似セグメントグループを複数個形成すると共に、擬似セグメントテーブルを作成し、同時に、当該全フェイル素子の個々のアドレス上に於ける関連性を確保する為に、フェイル情報テーブル及びX、Yリストテーブルとを作成し、当該擬似セグメントテーブル群の個々の擬似セグメントグループとX、Y方向に予め設けられているスペアラインの数とを個別に比較して、リペアが可能か否かを判断する様に構成された半導体メモリのリペア演算方法であり、又、本発明に係る第2の態様としては、半導体メモリの製造工程に於けるリペア処理装置であって、被検査メモリから個々のメモリについてフェイルの有無を検出するフェイル読み取り手段、当該フェイル読み取り手段から出力されるフェイル情報から、フェイル状態にあるフェイル素子のみを選択抽出して、当該個々のフェイル素子の被検査メモリでのアドレスに応じて、擬似セグメントテーブル、フェイル情報テーブル、X、Yリストテーブル等を作成するリスト作成手段、当該リスト作成手段により形成された当該擬似セグメントテーブル、フェイル情報テーブル、X、Yリストテーブル等を記憶する記憶手段及び、当該記憶手段に記憶された当該各情報に従って、リペア処理を実行するリペア処理手段とから構成されている半導体メモリのリペア演算処理装置である。

【0016】

【発明の実施の形態】本発明に係る当該半導体メモリのリペア演算方法及び当該半導体メモリのリペア演算処理

装置は、上記した様な技術構成を採用しているので、特に、本発明に於いて、上記した第1の問題を解決する為に、セグメント内のフェイルパターンを、擬似セグメントに区分して、そのサイズを考慮して演算処理を行う様に構成されており、又、本発明に於いては、上記した第2と第3の問題を解決する為に、リスト型データ構成を適用し、存在するフェイル情報の記憶領域のみを確保する様に構成したものである。データ記憶領域サイズの縮小が可能となると同時に、演算処理も高速化される半導体メモリのリペア演算方法及び半導体メモリのリペア演算処理装置を容易に得られることになる。

【0017】

【実施例】以下に、本発明に係る当該半導体メモリのリペア演算方法及び当該半導体メモリのリペア演算処理装置の一具体例の構成を図面を参照しながら詳細に説明する。

【0018】即ち、図1は、本発明に係る当該半導体メモリのリペア演算処理装置100の一具体例の構成を示すブロックダイアグラムであって、図中、半導体メモリの製造工程に於けるリペア処理装置100であって、被検査メモリに於けるフェイル状態となっているフェイル素子を適宜のデータ装置を用いて検出し、そのフェイル検査の結果が格納されているフェイルメモリ21から個々の素子についてフェイルの有無を検出するフェイル読み取り手段22、当該フェイル読み取り手段22から出力されるフェイル情報から、フェイル状態が発生しているフェイル素子のみを選択抽出して、当該個々のフェイル素子の被検査メモリでのアドレスに応じて、擬似セグメントテーブル30、フェイル情報テーブル31、X、Yリストテーブル32等を作成するリスト作成手段23、当該リスト作成手段23により形成された当該擬似セグメントテーブル30、フェイル情報テーブル31、X、Yリストテーブル32等を記憶する記憶手段40及び、当該記憶手段40に記憶された当該各情報に従って、リペア処理を実行するリペア処理手段24とから構成されている半導体メモリのリペア演算処理装置100が示されている。

【0019】つまり、当該フェイルメモリ21には、フェイル状態が確認された個々のフェイル素子の当該被検査メモリでのアドレスが格納されているものである。

【0020】又、図1に於いては、当該記憶手段40の他に、好ましくは当該リペア処理手段24によって処理されたリペア結果を記憶するリペア処理結果記憶手段33が設けられており、係る当該記憶手段40と当該リペア処理結果記憶手段33は、適宜のデータベース手段25に保持されているものである。

【0021】尚、当該リペア処理結果記憶手段33の情報は、当該フェイル読み取り手段22に報知されて、以後、リペアされたアドレスと同一のアドレスの当該被検査メモリでのフェイル素子は読み込まない様にマスクを

掛ける様に構成されている事も望ましい。

【0022】つまり、本発明に係る当該半導体メモリのリペア演算処理装置に於いては、半導体メモリを製造するリペア工程のリダンダンシ演算に関し、フェイル情報をリスト型データ構造で記憶、パターンを擬似セグメント化して処理することを特徴とするものであって、その基本的な操作に関しては、図2に示す様な演算処理フローが一例として採用されるものである。

【0023】本発明に係る当該半導体メモリのリペア演算処理装置100に付いて更に詳細に説明するならば、フェイル読出手段22では、図2に於けるフローチャートに示すフェイル情報受取処理S1を実行する。

【0024】つまり、当該フェイル読出手段22では適宜のテスト装置のフェイル検査の結果が格納されているフェイルメモリ21をスキャンして、フェイルと判定された当該フェイル素子のアドレスなどのフェイル情報、例えば図7に例示される様なデータ情報、をリスト作成部23へ送る。

【0025】さらに、当該フェイル読出手段22は、リスト作成手段23からリペアの確定情報を受取り、そのアドレスに関しては継続して読み取らないという機能を持つ。

【0026】リスト作成部23では、図2に於けるフローチャートに示すフェイル情報作成処理S2からフェイル終了判定処理S6までが処理される。

【0027】即ち、当該フェイル情報作成処理S2では、フェイル読出手段22から受取ったフェイル情報を、データベース25のフェイル情報へ追加する。

【0028】一方、図2に於けるフローチャートに示す、当該擬似セグメント&リスト作成処理S3では、擬似セグメント30、フェイルリスト32、フェイル情報31の各テーブルの作成を行う。

【0029】即ち、フェイルリストテーブル32上のアドレスと新規のフェイル素子のアドレスとを比較して、新規のアドレスならば該当リストへの追加を行い、既存ならばリストの新規作成を行う。

【0030】本発明に於て使用される、データベース25に含まれるテーブルの基本構造の一例を図3に示す。擬似セグメントテーブル30は、フェイルパターンで構成される複数の擬似的なセグメント51～54を表わすものであり、フェイルリスト32への番号を持つ。

【0031】処で、本発明に係る当該半導体メモリのリペア演算方法に於いては、当該擬似セグメントグループは、例えば、以下に示す様な方法で形成される。

【0032】即ち、図4に示す様な、全フェイル素子の中から、アドレス上に於て、同一のX方向ライン或いは同一のY方向のラインに、同時に発生している複数のフェイル素子を優先的にグループ化する様に構成されるものである。

【0033】例えば、X方向にY方向ラインのそれぞれ

についてフェイル素子が存在するか否かを検出し、もし、フェイル素子が存在している場合には、当該フェイル素子の存在するYラインの方向にサーチを実行して、当該Yラインに別のフェイル素子が存在しているか否かを検出する。

【0034】そして、その検出結果から、それぞれのフェイル素子間の関連性を判断する様にしたものである。

【0035】つまり、本発明に於ける当該擬似セグメントグループは、フェイル状態にある全フェイル素子の被検査メモリでのアドレスから、相互に関連性の高い当該フェイル素子を複数個集合せしめて擬似セグメントグループを複数個形成するものである。

【0036】具体的には、本発明に係る当該フェイル情報テーブルを形成する場合には、例えば、先ずアドレスをY方向に固定して、つまり(0)に固定して、Xアドレスの方向にサーチする。

【0037】次に、当該Yライン(0)に付いて、X方向に最後までサーチしたら、次には、次のYライン、つまりY(1)ラインに付いて、同様にX方向にサーチを行うものである。

【0038】かかる操作を繰り返す事によって、図4に示す様なフェイル情報テーブル10が出来上がる。

【0039】次に、係るフェイル情報テーブル10から、図5に示す様な当該擬似セグメントテーブル12を形成する場合には、例えば、当該フェイル情報テーブル10に於て、先ずアドレスをY方向に固定して、Xアドレスの方向にサーチする。

【0040】その後、フェイル素子が存在しているY方向ラインについても同時に別のフェイル素子が存在しているか否かを検出する。

【0041】次に、図4に於ける全てのフェイル素子の内、例えば、網かけしてあるフェイル素子群は、4つのX方向に存在しているフェイル素子の一つのフェイル素子について、Y方向に更に2個のフェイル素子が存在していることから、これらのフェイル素子は、互いに何等かの強い関連性を互いに持っているものと判断されるので、これらを一つのグループとして処理する事にして、一か所に集中させ、擬似セグメントグループ51を形成する。

【0042】同様に、次にYラインに於けるY(4)とY(19)に於けるフェイル素子も互いに強い関連性を有しているものと判断出来るので、一か所に集中させ、擬似セグメントグループ52を形成する。

【0043】又、X=CF、Y=EDのアドレスにあるフェイル素子は、他のフェイル素子とは何等の強い関連性を有するものとは認められないので、当該フェイル素子単独で擬似セグメントグループ53を形成する。

【0044】同様に、Y(EF)とY(FF)のラインにあるフェイル素子は、互いに強い関連性を有しているものと判断出来るので、一か所に集中させ、擬似セグ

メントグループ54を形成する。

【0045】以上のように繰り返しリスト作成を行うと、図5に示される擬似セグメントテーブル12が形成される事になる。

【0046】尚、図5中、擬似セグメントNo1が擬似セグメント51であり、擬似セグメントNo2は擬似セグメント52に該当する。また、この状態のリスト構造を図6に示す。

【0047】つまり図6は、図5に示されたセグメントグループを構成するフェイルリストFと各フェイル素子の関連をポインターPで示した図である。

【0048】本発明に於いては、次いで、擬似セグメント&リスト作成処理S3に於て、図5に示す擬似セグメントテーブル12から各種のテーブル、つまり、擬似セグメントテーブル14、フェイル情報テーブル15、X、Yリストテーブル16、17が新規に作成される。

【0049】本発明に係る当該擬似セグメントリスト30には、図7(A)の擬似セグメントテーブル14に示す様に、例えば、XリストNo、YリストNo、Xリスト数及びYリスト数が含まれている事が望ましく、又、当該フェイル情報テーブル32には、図7(B)のフェイル情報テーブル15に示す様に、例えば、フェイル状態にある個々のフェイル素子の被検査メモリでのアドレス、擬似セグメントNo、及び、上記したポインタとしての機能を有する次リストNoが含まれている事が望ましい。

【0050】更には、図7(C)及び(D)に示す様な、当該X、Yリストテーブル16、17のそれぞれには、それぞれのX方向又はY方向のアドレス、先頭フェイルNo、フェイル数及びポインタとしての機能を有する次Xリストテーブル又は、次YリストテーブルのNoが含まれている事が望ましい。

【0051】此处で、先ず、本発明に使用されるフェイル情報テーブル15の作成方法の一例を説明するならば、先ず、図5の擬似セグメントテーブル12の左上に在るフェイル素子(13、0)を選択し、そのアドレスを当該フェイル情報テーブル15のフェイルNo1の欄に記入すると共に、当該フェイル素子(13、0)は擬似セグメントNo1のグループに存在しているので、当該擬似セグメントNoの欄に1と記入し、更に当該フェイル素子(13、0)が、他のフェイル素子のと如何なる位置関係を持っているかを示す次No欄に(0、2)と記入する。

【0052】これは、図5に示す様に、当該フェイル素子(13、0)の同一アドレスのYライン上に接続している他のフェイル素子のアドレスは(6E、0)であり、又、同一アドレスのXライン上にはなにも接続されていない。

【0053】その為、同一アドレスのYライン上には、以下に説明するフェイルNo2の欄の記入されるフェイ

ル素子(6E、0)のフェイルN○2の数値である2が書き込まれ、一方、同一アドレスのXライン上には、なにも接続されていないので、0が記入され(0、2)となっている。

【0054】同様に、当該フェイル情報テーブル15のフェイルN○2のアドレス欄には、フェイル素子(6E、0)が記入されると共に、当該フェイル素子(6E、0)は擬似セグメントN○1のグループに存在しているので、当該擬似セグメントN○の欄に1と記入し、更に当該フェイル素子(6E、0)が、同一アドレスのYライン上にフェイル素子(6F、0)と接続し、又、同一アドレスのXライン上には、何も接続されていないので、当該フェイルN○には、当該フェイル素子(6F、0)のフェイルN○である3が採用されて(0、3)と記入される。

【0055】一方、次のフェイル素子(6F、0)が選択される事によって、当該フェイル情報テーブル15のフェイルN○3のアドレス欄には、フェイル素子(6F、0)が記入されると共に、当該フェイル素子(6F、0)は擬似セグメントN○1のグループに存在しているので、当該擬似セグメントN○の欄に1と記入し、更に当該フェイル素子(6F、0)が、同一アドレスのYライン上にフェイル素子(AB、0)と接続し、又、同一アドレスのXライン上には、フェイル素子(6F、80)と接続しているので、当該フェイルN○には、当該フェイル素子(AB、0)を示すフェイルN○4の値である4と、又当該フェイル素子(6F、80)を示すフェイルN○9の値である9とが選択されて、(9、4)と記入される。

【0056】上記した様な方法により、当該フェイル情報テーブル15が完成する。

【0057】又、擬似セグメントテーブル14の構成について説明するならば、擬似セグメント12のフェイル素子の被検査メモリでの配置アドレスから、当該擬似セグメント12に於けるセグメント51のグループに付いて、擬似セグメントテーブルN○1レコードと決定し、当該擬似セグメントテーブルN○1レコードの各フィールドのXリストN○を1(Xリストテーブル16のリストN○1に対応)、YリストN○を1(Yリストテーブル17のリストN○1に対応)、Xリスト数を4、Yリスト数を3とする。

【0058】尚、擬似セグメントテーブル14に於けるXリスト数とYリスト数により、当該それぞれの擬似セグメントの大きさを表す事になる。

【0059】又、当該擬似セグメントテーブル14に於ける擬似セグメントN○2は、当該擬似セグメントグループ52のフェイル素子の情報を他のテーブルとの関連で示すものであって、擬似セグメントテーブルN○2レコードの各フィールドのXリストN○を5、YリストN○を2、Xリスト数を3、Yリスト数を2とする。

【0060】これは、当該擬似セグメントテーブルN○2レコードに於ける最初のフェイル素子(4F、4)は、当該フェイル情報テーブル15のフェイルN○5に相当し、且つXリストテーブル16のリストN○5レコードのXアドレス(4F)及びYリストテーブル17のリストN○2レコードの、Yアドレスを(2)に対応している。

【0061】以下、同様の方法で擬似セグメントテーブル14が形成される。

【0062】また、X、Yリストテーブル16、17に関しては、先ず、Xリストテーブル16のリストN○1レコードの、Xアドレスを(13)、先頭フェイルN○を1、フェイル数を1、次N○を0とする。

【0063】一方、Yリストテーブル17のリストN○1レコードの、Yアドレスを(0)、先頭フェイルN○を1、フェイル数を4、次N○を4とする。この次N○は同一擬似セグメント内のリストを示すポインタである。

【0064】つまり、当該Xリストテーブル16のリストN○1レコードは、当該擬似セグメントテーブル14に於けるXリストN○の1と対応するものであり、当該擬似セグメントグループ1に於けるフェイル状態にあるフェイル素子の被検査メモリでのアドレス(13、0)のXアドレスに関する情報を他のテーブルに於ける情報と関連を持たせる様に構成するものであって、その先頭フェイルN○は、当該フェイル情報テーブル15に於けるフェイルN○1である事を示しており、又フェイル数とは、図5に於いて当該フェイル素子(13、0)から同一アドレスのXライン上に見たフェイル素子の数を示すものであって、本件具体例では、当該フェイル素子は(13、0)のアドレスに一個しかないので、当該フェイル数の欄は1となっている。

【0065】又、次N○には、当該フェイル素子の同一アドレスのYライン上に繋がっている次のフェイル素子のアドレスは、当該フェイル情報テーブル15のリストからフェイルN○2が該当する事が判明しているので、当該フェイルN○2の2が記載されている。

【0066】以下同様の考え方で当該Xリストテーブル16が構成されている。

【0067】一方、図7(B)のYリストテーブル17のリストN○1レコードは、当該擬似セグメントテーブル14に於けるYリストN○の1と対応するものであり、当該擬似セグメントグループ1に於けるフェイル素子の被検査メモリでのアドレス(13、0)のYアドレスに関する情報を他のテーブルに於ける情報と関連を持たせる様に構成するものであって、その先頭フェイルN○は、当該フェイル情報テーブル15に於けるフェイルN○1である事を示しており、又フェイル数とは、図5に於いて当該フェイル素子(13、0)から同一アドレスのYライン上に見たフェイル素子の数を示すものであ

って、本件具体例では、当該フェイル素子は(13、0)の0アドレスから右方向に4個のフェイル素子が連続して存在しているので、当該フェイル数の欄は4となっている。

【0068】又、次N_oには、当該フェイル素子の同一アドレスのYライン上に繋がっている次のフェイル素子のアドレスは、当該フェイル情報テーブル15のリストからフェイルN_o4が該当する事が判明しているため、当該フェイルN_o4の4が記載されている。

【0069】以下同様の考え方で当該Yリストテーブル17が構成されている。

【0070】一方、当該擬似セグメントテーブル15に於ける擬似セグメントN_oの欄には、フェイルN_o1のフェイル素子(13、0)が擬似セグメントN_o1、つまり擬似セグメントグループ51内に存在している事を示す為に、1が記入されている。

【0071】同様に、フェイルN_o2のフェイル素子(6E、0)、フェイルN_o3のフェイル素子(6F、0)、フェイルN_o4のフェイル素子(AB、0)の各々が擬似セグメントN_o1、つまり擬似セグメントグループ51内に存在している事を示す為に、それぞれ1が記入されている。

【0072】又、フェイルN_o5のフェイル素子(4F、4)は擬似セグメントN_o2、つまり擬似セグメントグループ52内に存在している事を示す為に、2が記入されている。

【0073】本発明に於て使用される、データベース25に含まれるテーブルの基本構造の一例を図3に示す。擬似セグメントテーブル30は、フェイルパターンで構成される複数の擬似的なセグメント51～54を表わすものであり、フェイルリスト32への番号を持つ。

【0074】図7の例は、上記の様に、図3に示した、基本構成にリスト数など補助的なデータフィールドを加えたものである。

【0075】此処で、上記した各種のテーブルの形成手順をより具体的に説明する。

【0076】即ち、上記の各テーブルは、予めフェイル情報テーブル15を作成しておき、それを基に他のテーブルを作成するものであっても良いが、当該フェイル情報テーブル15を作成しながら、残りのテーブルを逐次形成していく方法であっても良い。

【0077】つまり、今、最初のフェイル素子の被検査メモリでのアドレス(13、0)をフェイル情報受取処理1で受取った時、図8(B)に示す様に、フェイル情報作成処理S2でフェイル情報テーブルのフェイルN_o1レコードの、アドレス欄にアドレス(13、0)、次N_oの欄に(0、0)を追加する。

【0078】フェイルN_oは1から始めると定義し次N_o(0、0)はX、Y共に次のフェイルにつながるポインタが無いことを表わす。

【0079】この段階では、当該フェイル素子(13、0)が次に同一アドレスのYライン上及び同一アドレスのXライン上に接続される隣接するフェイル素子のアドレスが決まっていないので、次N_oの欄には(0、0)が記入され、又当該フェイル素子(13、0)の擬似セグメントグループN_oも未だ決まっていないので、0と記入しておく。

【0080】一方、図8(C)に示すXリストテーブル16に於ては、当該図8(B)のフェイル情報テーブルを参照して、リストN_oの欄には当該フェイル情報テーブル15の第1の欄に対応する1が記入されると共に、Xアドレス欄には、13、先頭フェイルN_oの欄には、1、フェイル数の欄には、1が記入され、次N_oの欄には、如何なるフェイル素子が接続されるか未定であるので、0が記入される。又、図8(D)に示すYリストテーブル17に於ては、当該図8(B)のフェイル情報テーブルを参照して、リストN_oの欄には当該フェイル情報テーブル15の第1の欄に対応する1が記入されると共に、Yアドレス欄には0、先頭フェイルN_oの欄には、1、フェイル数の欄には、1が、又次N_oの欄には、如何なるフェイル素子が接続されるか未定であるので、0が記入される事になる。

【0081】そして、当該擬似セグメントテーブル14では、XリストN_oとYリストN_oの欄には、当該図8(B)のフェイル情報テーブルの第1の欄に対応する1が記入されると共に、Xリスト数欄及びYリスト数欄には、それぞれ1が記入される事になる。

【0082】その後、第2のフェイル素子(6E、0)が検出された場合には、図9(B)に示す様に、フェイル情報作成処理S2でフェイル情報テーブルのフェイルN_o1レコードのアドレス欄にアドレス(6E、0)、次N_oの欄に(0、0)を追加する。

【0083】この時点で、前記したフェイル素子(13、0)は、同一アドレスのYライン上に当該フェイル素子(6E、0)のフェイル素子が接続されることになり、又同一アドレスのXライン上にはなにも接続されないため、フェイルN_o1レコードの次N_oの欄は(0、2)と書き換えられる。

【0084】この場合の2は、当該フェイル情報テーブル15のフェイルN_o2の2に対応させているものである。

【0085】係るフェイル情報テーブル15にフェイルN_o2が書き加えられた事により、図9(C)に示すXリストテーブル16に於ては、当該図9(B)のフェイル情報テーブルを参照して、リストN_oの欄には当該フェイル情報テーブル15の第2の欄に対応する2が記入されると共に、Xアドレス欄には、6E、先頭フェイルN_oの欄には、2、フェイル数の欄には、1が記入され、又次N_oの欄には、如何なるフェイル素子が接続されるか未定であるので、0が記入される事になるが、前

記したリストN_o1に於ける当該次N_oの欄の0の値が、2に書き換えられる事になる。

【0086】又図9(D)に示すYリストテーブル17に於ては、当該図9(B)のフェイル情報テーブルを参照して、同一アドレスのXライン上のアドレスは変化していないので、リストN_oの欄は1のままとなり、Yアドレス欄も0のままで、又先頭フェイルN_oの欄も1のままである。

【0087】一方、フェイル数の欄には、同一アドレスのYライン上に2個目に配列されたフェイル素子であることから2が記入される事になる。

【0088】そして、図9(A)に示す当該擬似セグメントテーブル14では、XリストN_oとYリストN_oの欄の1の値は変化なく、Xリスト数欄が1から2に書き換えられ、Yリスト数欄の1の値は変化なしとなる。

【0089】上記した操作を繰り返し実行する事によって、図7(A)乃至図7(D)に示すそれぞれのテーブル14~17が完成する事になる。

【0090】その場合に於ける当該擬似セグメントテーブル14に於けるN_o1レコード各フィールドのXリストN_oは1、YリストN_oは1、Xリスト数は4、Yリスト数は3となっている。

【0091】次に、フェイル素子(6E、0)を受け取った時、最初のフェイル処理と同様にフェイル情報テーブル15のN_o2レコードに、アドレス(6E、0)、次N_o(0、3)を追加するが、その場合の手順をより詳細に以下に説明する。

【0092】即ち、Xリストテーブルにはアドレス(6E)を持つリストが存在しないためリストN_o2レコードにアドレス(6E)ほかの追加を行なう。

【0093】次にYリストテーブルをサーチするとフェイル(6E、0)と同じYアドレス(0)であるリストN_o1を発見するため、リスト追加処理と、擬似セグメント処理を以下の手順で行う。

【0094】(Step1): 発見したテーブルの、該当レコード(リストN_o1)のフェイル数フィールドをインクリメントし2とする。

【0095】(Step2): リストN_o1レコードの先頭フェイルN_oである1を、フェイル情報テーブルからサーチし、そのアドレス(13、0)を得る。

【0096】Y方向のリストを作成するため、フェイルアドレス(13、0)のフェイルN_o2を、次N_oに追加し(0、2)とする。

【0097】(Step3): フェイルN_o1の擬似セグメントN_o1より、擬似セグメントテーブルのN_o1レコードのXリスト数をインクリメントし2とする。

【0098】(Step4): 擬似セグメントテーブルのN_o1レコードより、XリストN_oが1から始まることが分るため、Xリストテーブル上のリストN_o1レコードの次N_oを2とする。

【0099】同様にして、次にフェイル素子(6F、0)を受取った時、最初のフェイル処理と同様にフェイル情報テーブルのN_o3レコードに、アドレス(6E、0)、次N_o(9、4)を追加する。

【0100】上記の操作を繰り返す事によって、フェイル情報テーブルの擬似セグメントN_oの欄を除いて一連のテーブルが完成する。

【0101】この様に、当該フェイルリスト32を構成するXリストテーブル32-1とYリストテーブル32-2は、同一のアドレスで構成させるリスト情報を持つ。

【0102】一方、フェイル情報テーブル31はフェイルのアドレスや同一のアドレスを持つフェイル素子へのつながりを表わすポインタ情報(例えば、図7に示す様な次N_o(X、Y))を持つ。

【0103】又、図2に於けるフローチャートに示すアドレス確定判定処理S4では、スペアラインの数などを判定基準として確定判断を行う。

【0104】更に、図2に於けるフローチャートに示すアドレス確定判定処理S4では、ベア読出手段(図示せず)へ通知処理S5では、当該アドレスが確定ならば、フェイル読出手段22へ確定通知を行うとともにデータベース25へ、確定したスペアラインを通知しその結果を保管する。

【0105】又、当該アドレス確定判定処理S4に於いて、当該アドレスが確定していない場合には、読出通知処理S5をパスして、フェイル終了かどうかを判断するステップS6に進むことになる。

【0106】フェイル終了判定処理S6では、未読み出しのフェイル情報が無い読出手段22と通信を行い、残りがあれば、フェイル情報受取処理S1に戻り、上記した判断処理を次の読み出しへ移して、上記した各ステップの処理を繰り返し実行し、その後再度未読み出しのフェイル情報が無いかを判断して、全て読込ならば、後述するリダンダンシ演算へ処理を移す。

【0107】リダンダンシ演算手段24では、確定ラインサーチ処理S7からスペア残判定処理12までを実行する。

【0108】確定ラインサーチ処理S7では、擬似セグメントテーブル30やフェイルリストテーブル31を参照して、確定するスペアラインとそのアドレスを決定する。さらに、セグメント内の擬似セグメントの数と残りスペアライン数を比較して、リペア不可判定を行う機能も持つ。フェイル情報更新処理S8では、確定したラインやフェイル素子に対し確定フラグを立てる。

【0109】本発明に於けるフェイル素子に関する擬似セグメントの数と残りスペアライン数とを比較してリペアが可能か否かを判断する具体的な方法は、従来周知の技術を使用する事が可能である。

【0110】擬似セグメント&リスト更新処理S9で

は、各テーブルのリスト情報の更新を行う。確定ライン保管処理S10では、確定したスペアラインとそのアドレスをデータベース25へ通知する。

【0111】未処理フェイル判定処理S11では、全てのフェイル素子が救済されていれば処理を終了し、スペア残判定処理S12では、スペアラインがなくなった場合に終了する。

【0112】上記した様に、本発明に於ける当該半導体メモリのリペア演算処理装置100を使用して半導体メモリのリペア演算方法を実行する場合には、図2に示す様に、フェイル情報作成処理S2で、フェイル素子の被検査メモリでのアドレスなどの情報を記憶するフェイル情報テーブル10を作成する。そして、擬似セグメント&リスト作成処理S3で、フェイル素子の並び方など表現する擬似セグメントテーブル12と図7(C)及び

(D)に示す様なX、Yリストテーブル16、17を、既存のフェイルリストと比較して作成する。さらに、確定ラインサーチ処理S7から確定ライン保管処理S10までのリダンダンシ演算処理で、各テーブルを参照して、スペアラインを使用するアドレスを決定して、フェイル素子の救済解を求める。これにより、フェイル情報の記憶領域の削減、および演算処理の高速化と救済率の向上を可能にする。

【0113】ここで、本発明に於いて使用される当該擬似セグメントテーブル群51～54の個々の擬似セグメントグループとX、Y方向に予め設けられているスペアラインの数とを個別に比較するに際しては、当該個々の擬似セグメントグループのサイズの大きいものから順に選択して、当該スペアライン数との比較処理を実行する様に制御される事が好ましい。

【0114】又、本発明に於いては、当該擬似セグメントテーブル14、当該フェイル情報テーブル15、当該X、Yリストテーブル16、17は、当該比較処理が実行されて所定のフェイル素子群のリペア処理が確定した後には、残存しているフェイル素子に関する最新情報が表示される様にそれぞれに対して更新処理を実行する更新手段27が設けられている事も望ましい。

【0115】次に、リダンダンシ演算部の処理をデータベースの例(図7)とリペア結果の例(図10)を使って説明する。

【0116】確定ラインサーチ処理7では、サイズ(X方向とY方向のリスト数の和)が最大の擬似セグメント中のフェイル素子数が最大のリストを選択する。擬似セグメントテーブルのサーチにより、セグメントNo1がサイズ7で最大である。

【0117】その中のリストのうち、フェイル素子数が最大であるリストは、Yリストテーブルのサーチにより、フェイル数が4であるリストNo1のYアドレス(0)と選択される(図10、確定①)。

【0118】フェイル情報更新処理8では、確定したラ

インや救済されたフェイル素子に確定フラグを立てるなどの処理を行う。

【0119】フェイル情報テーブルに関しては、図11に示すように、フェイルNo1から4が含まれる擬似セグメントNoを0して、リストを示す次Noも(0, 0)とし救済されたことを表わす。

【0120】擬似セグメント&リスト更新処理S8では、確定したスペアラインに関するテーブルの更新を行う。Yアドレス(0)のスペアラインが確定したため、図11の擬似セグメントテーブルに示すように、No1セグメントの先頭をリストであるXリストNoは3、XリストNoは4、それぞれのリスト数である、Xリスト数は1、Yリスト数は2となる。また、Yリストテーブルに関し、確定したリストNo1レコードを削除し、さらにXリストテーブルに関して、救済されたフェイル素子に係するリストの更新も行う。

【0121】確定ライン保管処理S10では、使用確定となったスペアライン情報の保管と、利用可能なスペアラインのデクリメントなど、スペアラインに関する処理を行う。

【0122】未処理フェイル判定処理S11で未処理のフェイル素子があり、スペア残判定処理S12で、スペアラインの残りがあため、次のリスト処理を行う。

【0123】次の確定ラインサーチ処理S7では、セグメント52がサイズ6で最大となるため、Yアドレス(4)のスペアラインが選択される(確定②)。

【0124】ただし本例では、XとYリストが最大が同じ数のときはYとしている。

【0125】順次、演算処理を行うと図10の、確定⑦までの結果となる。

【0126】最後にフェイルNo12が確定する直前のデータベースの例を図12に示す。

【0127】図2の演算処理フローの確定ラインサーチ処理7で、擬似セグメントテーブルのNo4セグメントが選択され、フェイル情報更新処理S8以下が実行される。

【0128】その結果、擬似セグメントテーブルの全レコードが削除され、他のテーブルも更新される。

【0129】未処理フェイル判定処理S11では、擬似セグメントテーブルにデータが無いことから、全フェイル素子が救済されたと判断し演算処理を終了する。

【0130】本発明に係る他の具体的に付いて説明するならば、図7に示す複数セグメントの例として、確定ラインサーチ処理7を次の処理を追加して実施する。セグメント内の全ての擬似セグメントの合計と、残りのスペアラインの合計とが同数の場合に、該当するセグメントのすべてフェイル素子を先に救済する。

【0131】また、セグメント内の擬似セグメントの短いリストの合計は、そのセグメント必要なスペアラインの最低限度(必要条件)となるため、残りのスペアライン

よりも多い場合は、救済不可と判定することが出来る。

【0132】本処理により、図10のように救済を成功することが可能となり、また、救済不可の判定を高速化することが可能となる。

【0133】以上説明した様に、本発明に係る半導体メモリのリペア演算方法は、基本的には、以下の様な技術構成を採用しているものである。即ち、半導体メモリの製造工程に於けるリペア処理工程でのリペア演算方法であって、検出された当該メモリのフェイル情報から、フェイル状態にある全てのフェイル素子を選択抽出し、当該選択抽出された全フェイル素子のそれぞれの被検査メモリでのアドレスから、相互に関連性の高い当該フェイル素子を複数個集合せしめた擬似セグメントグループを複数個形成すると共に、擬似セグメントテーブルを作成し、同時に、当該全フェイル素子の個々のアドレス上に於ける関連性を確保する為に、フェイル情報テーブル及びX、Yリストテーブルとを作成し、当該擬似セグメントテーブル群の個々の擬似セグメントグループとX、Y方向に予め設けられているスペアラインの数とを個別に比較して、リペアが可能か否かを判断する様に構成されている半導体メモリのリペア演算方法である。

【0134】又、本発明に係る当該半導体メモリのリペア演算方法の具体的に於いては、当該擬似セグメントグループは、全フェイル素子の中から、被検査メモリでのアドレス上に於て、同一のX方向ライン或いは同一のY方向のラインに、同時に発生している複数個のフェイル素子を優先的にグループ化する様に構成されている事が望ましい。

【0135】同様に、本発明に係る当該半導体メモリのリペア演算方法に於いては、当該擬似セグメントテーブル群の個々の擬似セグメントグループとX、Y方向に予め設けられているスペアラインの数とを個別に比較するに際しては、当該個々の擬似セグメントグループのサイズの大きいものから順に選択して、当該スペアライン数との比較処理を実行する様に構成する事も好ましい。

【0136】一方、本発明に於ける当該半導体メモリのリペア演算方法に於いては、当該擬似セグメントテーブル、当該フェイル情報テーブル、当該X、Yリストテーブルは、当該比較処理が実行されて所定のフェイル素子群のリペア処理が確定した後は、残存しているフェイル素子に関する最新情報が表示される様にそれぞれに対して更新処理が実行されるものである様に構成することも好ましい。

【0137】

【発明の効果】以上説明したように本発明の半導体メモリのリペア演算方法及び半導体メモリのリペア演算処理装置は、上記した技術構成を採用している事から、演算処理の高速化およびフェイル情報の記憶メモリの削減が可能となる。例えば、高速化については、Yアドレス(4)が確定した時に、関連するフェイル素子の抽出を

行う処理では、従来の方法を用いた場合で、アドレス(13)から(7F)まで7回のサーチが必要であるが、本発明では、Yアドレス(4)からのリストを2回サーチするのみ実施可能である。

【0138】また、記憶メモリの削減については、従来の方法では、図4に示すように、14個のフェイル記憶する場合にも、10×8のテーブルが必要となるため、66の領域を無駄に使用している。本発明では、図3に示すデータベースに、図6に示すリスト型構造で存在するフェイルのみ記憶領域で十分であるため、効率的といえる。

【図面の簡単な説明】

【図1】図1は、本発明に係る半導体メモリのリペア演算処理装置の一具体的構成を示すブロックダイアグラムである。

【図2】図2は、本発明に係る半導体メモリのリペア演算方法の操作手順の具体的を示すフローチャートである。

【図3】図3は、本発明に於て使用される各種データテーブルの基本構成の例を示す図である。

【図4】図4は、本発明に於て使用されるフェイル情報の一例を示す図である。

【図5】図5は、本発明に於て使用される擬似セグメントテーブルの一例を示す図である。

【図6】図6は、本発明に於て使用される擬似セグメントテーブルに於ける各フェイル素子の関連を示すリストである。

【図7】図7は、本発明に於て使用される各種データテーブルのデータ構成の例を示す図である。

【図8】図8は、本発明に於ける各種データテーブルの変化の状態を示す図である。

【図9】図9は、本発明に於ける各種データテーブルの変化の状態を示す図である。

【図10】図10は、本発明に於けるリペア処理後の結果の一例を示す図である。

【図11】図11は、本発明に於ける各種データテーブルの変化の状態を示す図である。

【図12】図12は、本発明に於ける各種データテーブルの変化の状態を示す図である。

【図13】図13は、複数セグメントが存在する場合に於けるリペア処理に成功した例を示す図である。

【図14】図14は、複数セグメントが存在する場合に於けるリペア処理に失敗した例を示す図である。

【図15】図15は、従来に於ける半導体メモリのリペア演算方法の演算方法の一例を示すフローチャートである。

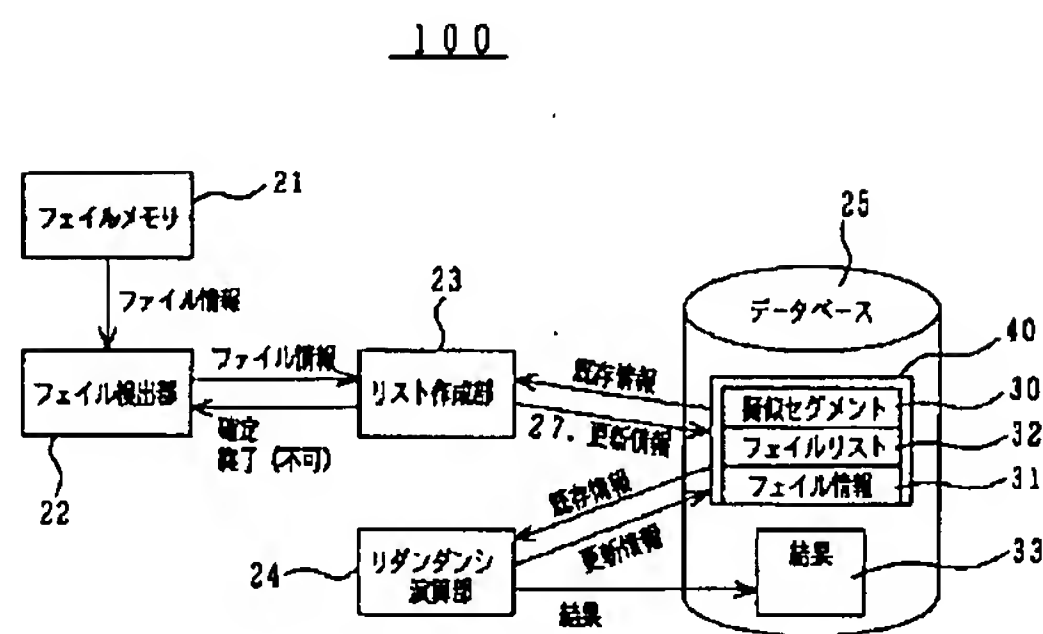
【図16】図16は、従来に於ける半導体メモリのリペア演算方法に於て使用されるデータ構造の例を示す図である。

【符号の説明】

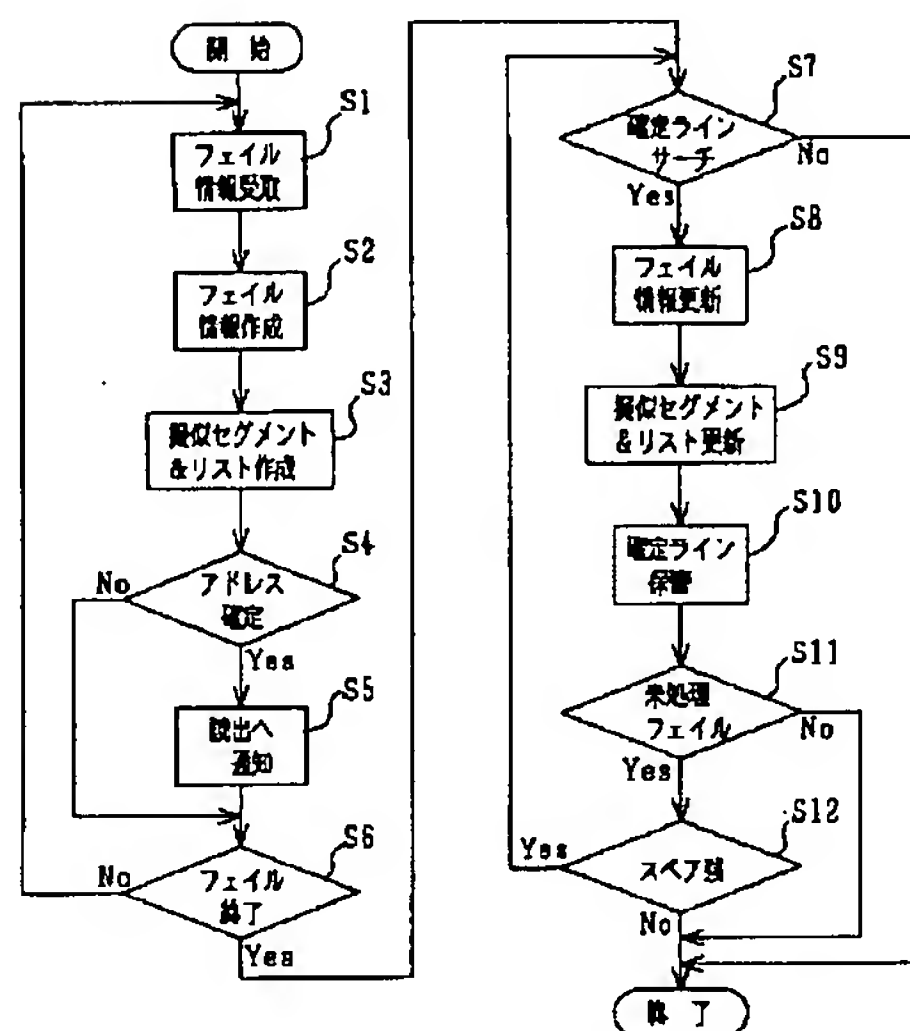
10…フェイル情報テーブル
 12…擬似セグメントテーブル
 14…擬似セグメントテーブル
 15…フェイル情報テーブル
 16、17…X、Yリストテーブル
 21…フェイルメモリ
 22…フェイル読み取り手段
 23…リスト作成手段
 24…リペア処理手段
 25…データベース手段

27…更新手段
 30…擬似セグメントテーブル
 31…フェイル情報テーブル
 32…X、Yリストテーブル
 32-1…X方向リストテーブル
 32-2…Y方向リストテーブル
 33…リペア処理結果記憶手段
 40…記憶手段
 51～54…擬似的なセグメント
 100…半導体メモリのリペア演算処理装置

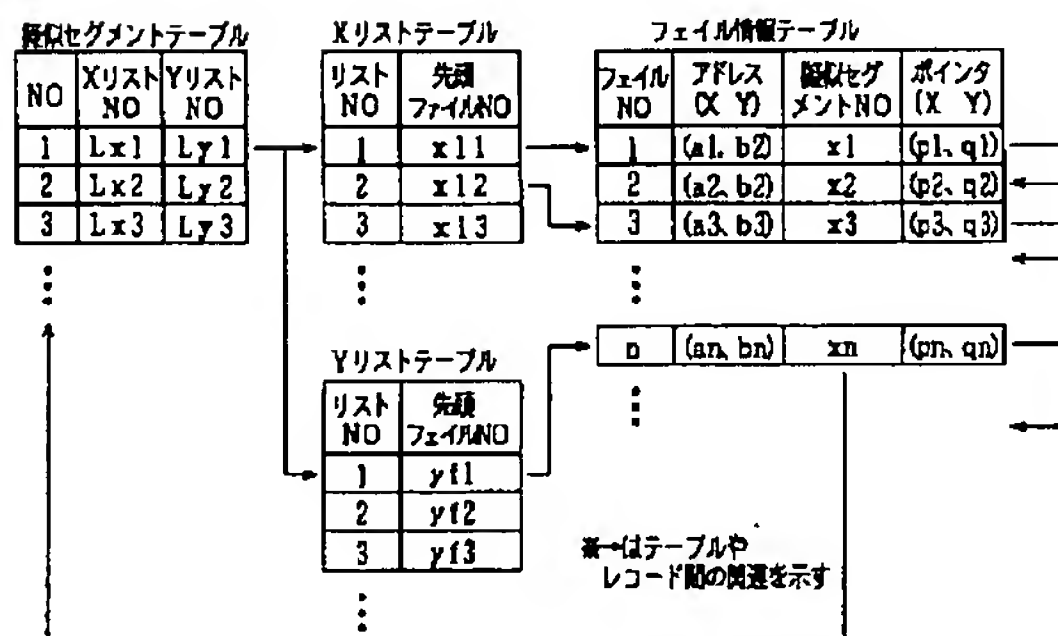
【図1】



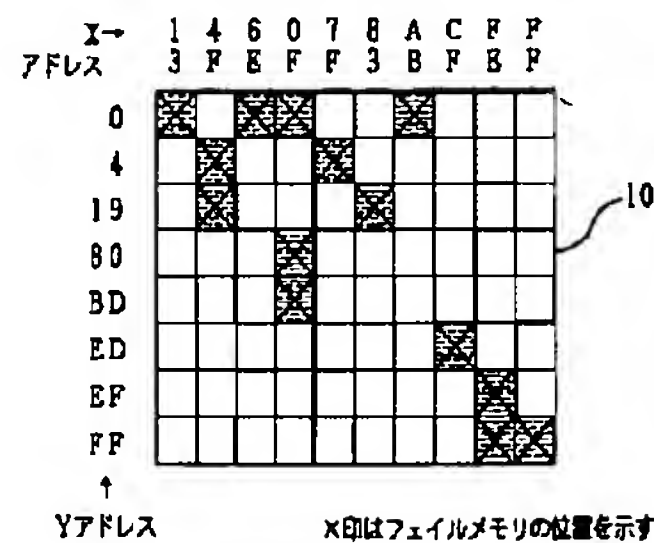
【図2】



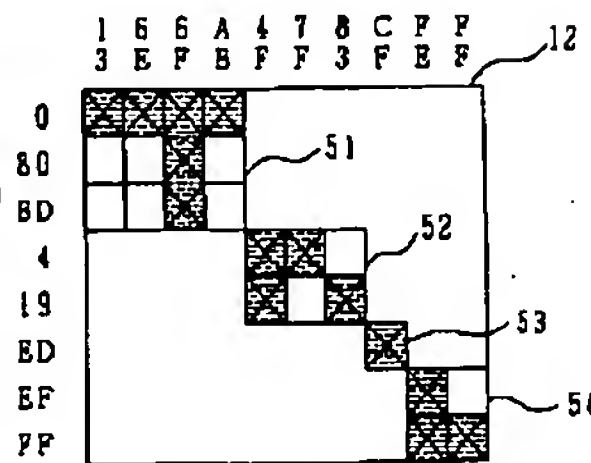
【図3】



【図4】

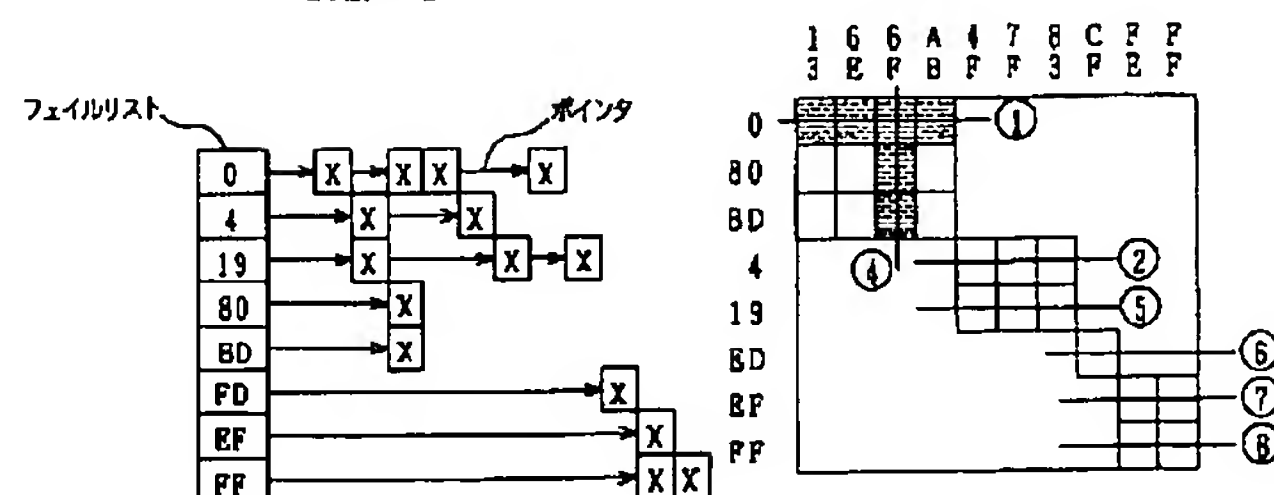


【図5】



【図10】

【図6】



【図7】

(A) 14

No	Xリスト No	Yリスト No	Xリスト 数	Yリスト 数
1	1	1	4	3
2	5	2	3	2
3	8	6	1	1
4	11	7	2	2

(C) 16

リスト No	X アドレス	先頭 ファイルNo	ファイル 数	次 No
1	13	1	1	2
2	6E	2	1	3
3	6F	3	3	4
4	AB	4	1	0
5	4F	5	2	6
6	7F	6	1	7
7	83	8	1	0

【図11】

(A) 14

No	Xリスト No	Yリスト No	Xリスト 数	Yリスト 数
1	1	1	4	3
2	5	2	3	2
3	8	6	1	1
4	11	7	2	2

(C) 16

リスト No	X アドレス	先頭 ファイルNo	ファイル 数	次 No
3	5F	3	1	2
5	4F	5	2	6
6	7F	6	1	7
7	83	8	1	0
8	CF	11	1	0
9	FE	12	2	10
10	FF	0	1	0

(B) 15

ファイル No	アドレス (X, Y)	類似セグ メントNo	次No (X, Y)
1	(13, 0)	1	(0, 2)
2	(6E, 0)	1	(0, 3)
3	(6F, 0)	1	(9, 4)
4	(AB, 0)	1	(0, 2)
5	(4F, 4)	2	(0, 6)
6	(7F, 4)	2	(0, 0)
7	(4F, 19)	2	(0, 8)
8	(83, 19)	2	(0, 0)
9	(6F, BD)	1	(10, 2)
10	(6F, BD)	1	(0, 0)
11	(CF, ED)	1	(0, 8)
12	(FE, EF)	4	(13, 0)
13	(FE, FF)	4	(0, 14)
14	(FF, FF)	4	(0, 0)

(D) 17

リスト No	X アドレス	先頭 ファイルNo	ファイル 数	次 No
1	0	1	4	4
2	4	5	2	3
3	19	7	2	0
4	80	9	1	5
5	BD	10	1	0

(B) 15

ファイル No	アドレス (X, Y)	類似セグ メントNo	次No (X, Y)
1	(13, 0)	1	(0, 2)
2	(6E, 0)	1	(0, 3)
3	(6F, 0)	1	(9, 4)
4	(AB, 0)	1	(0, 2)
5	(4F, 4)	2	(0, 6)
6	(7F, 4)	2	(0, 0)
7	(4F, 19)	2	(0, 8)
8	(83, 19)	2	(0, 0)
9	(6F, 80)	1	(10, 2)
10	(6F, BD)	1	(0, 0)
11	(CF, ED)	3	(0, 8)
12	(FE, EF)	4	(0, 13)
13	(FE, FF)	4	(14, 0)
14	(FF, FF)	4	(0, 0)

(D) 17

リスト No	X アドレス	先頭 ファイルNo	ファイル 数	次 No
2	4	5	2	3
3	19	7	2	0
4	80	9	1	5
5	BD	10	1	0

【図8】

(A) 14

No	Xリスト No	Yリスト No	Xリスト 数	Yリスト 数
1	1	1	1	1

(B) 15

ファイル No	アドレス (X, Y)	類似セグ メントNo	次No (X, Y)
1	(13, 0)	0	(0, 0)

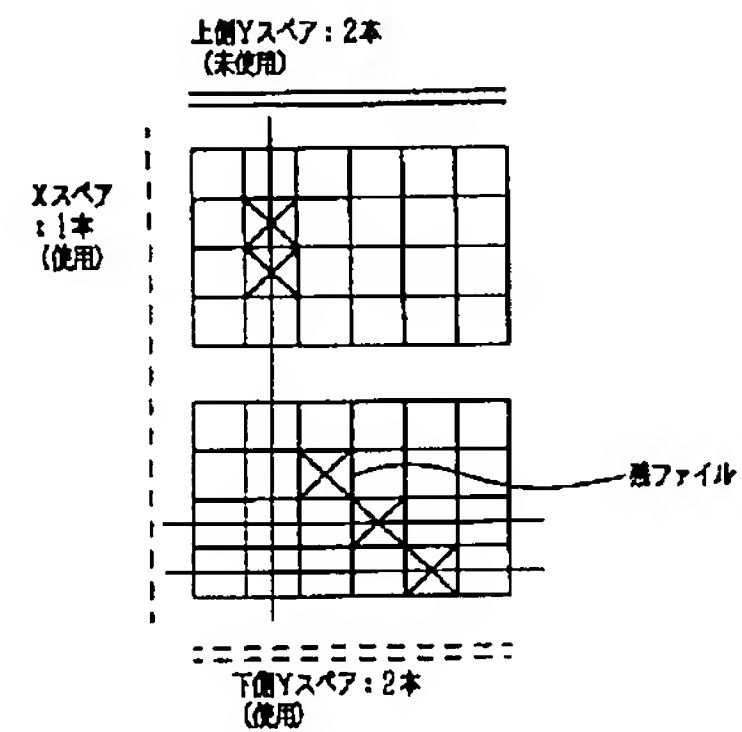
(C) 16

リスト No	X アドレス	先頭 ファイルNo	ファイル 数	次 No
1	13	1	1	0

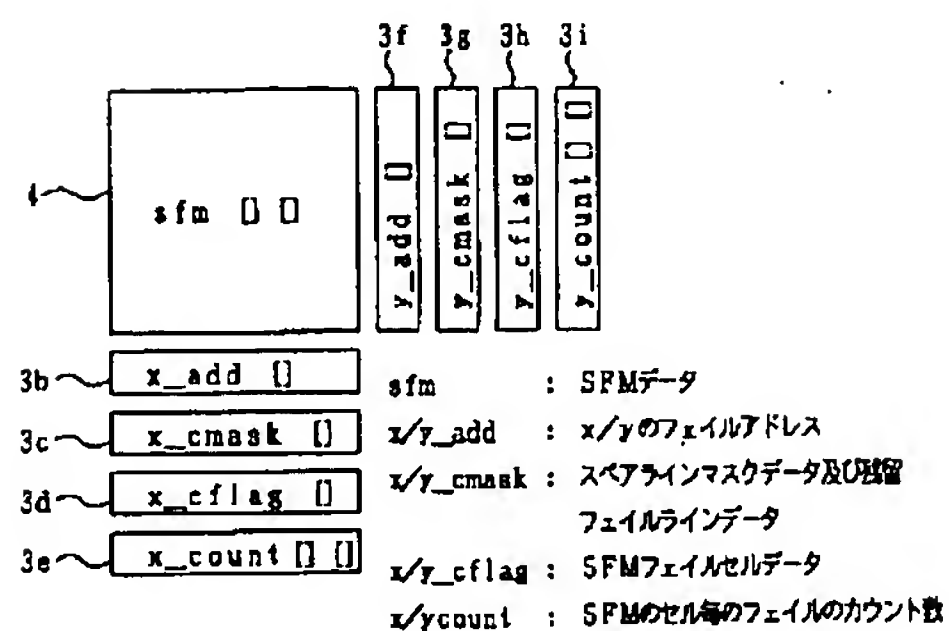
(D) 17

リスト No	Y アドレス	先頭 ファイルNo	ファイル 数	次 No
1	0	1	1	0

【図13】



【図16】



【図9】

(A) 擬似セグメントテーブル

No	Xリスト No	Yリスト No	Xリスト 数	Yリスト 数
1	1	1	2	1

(C) Xリストテーブル

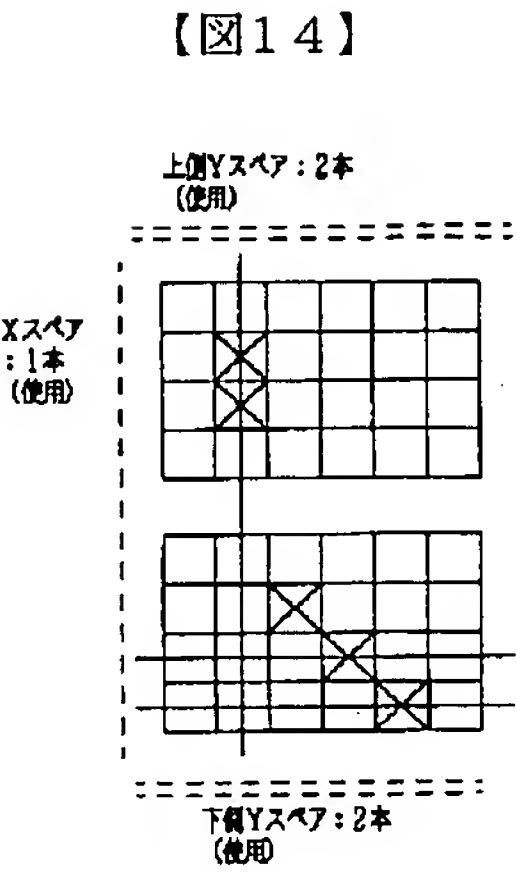
リスト No	X アドレス	先頭 ファイルNo	ファイル 数	次 No
1	13	1	1	2
2	6E	2	1	0

(B) ファイル情報テーブル

ファイル No	アドレス (Y, 0)	擬似セグ メントNo	次No (X, Y)
1	(13, 0)	0	(0, 2)
2	(6E, 0)	0	(0, 0)

(D) Yリストテーブル

リスト No	Y アドレス	先頭 ファイルNo	ファイル 数	次 No
1	0	1	2	0



【図12】

(A) 擬似セグメントテーブル

No	Xリスト No	Yリスト No	Xリスト 数	Yリスト 数
4	9	7	1	1

(C) Xリストテーブル

リスト No	X アドレス	先頭 ファイルNo	ファイル 数	次 No
9	FE	12	1	0

(B) ファイル情報テーブル

ファイル No	アドレス (X, Y)	擬似セグ メントNo	次No (X, Y)
1	(13, 0)	0	(0, 0)
2	(6E, 0)	0	(0, 0)
3	(6F, 0)	0	(0, 0)
4	(AE, 0)	0	(0, 0)
5	(4F, 4)	0	(0, 0)
6	(7F, 4)	0	(0, 0)
7	(4F, 19)	0	(0, 0)
8	(83, 19)	0	(0, 0)
9	(BF, 80)	0	(0, 0)
10	(6F, BD)	0	(0, 0)
11	(CF, ED)	0	(0, 0)
12	(FE, EF)	4	(0, 0)
13	(FE, FF)	0	(0, 0)
14	(FF, FF)	0	(0, 0)

(D) Yリストテーブル

リスト No	X アドレス	先頭 ファイルNo	ファイル 数	次 No
7	EF	12	1	0

【図15】

